

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

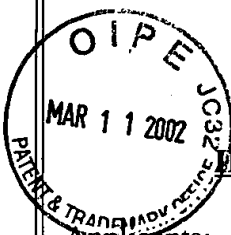
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: Axel Clausen et al. Docket: 8074-2 (S1585 GC/rfu)

Serial No.: 10/040,263

Filed: November 9, 2001

For: **CALCULATION CIRCUIT FOR THE DIVISION OF A
FIXED-POINT SIGNAL**Assistant Commissioner for Patents
Washington, D.C. 20231**SUBMISSION OF PRIORITY DOCUMENT**

Sir:

Attached herewith is a certified copy of German Application No. DE 100 55659.0 filed November 10, 2000 from which priority is claimed in the above-identified application under 35 U.S.C. §119.

Respectfully submitted,

F. CHAU & ASSOCIATES, LLP

By: 

Frank Chau


Reg. No. 34,136

Attorney for Applicant(s)

F. CHAU & ASSOCIATES, LLP
1900 Hempstead Turnpike, Suite 501
East Meadow, NY 11554
Tel.: (516) 357-0091
Fax: (516) 357-0092
FC:mel

CERTIFICATE OF MAILING UNDER 37 C.F.R. §1.8(a)

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail, postpaid in an envelope, addressed to the: Assistant Commissioner for Patents, Washington, D.C. 20231 on February 27, 2002.

Dated: 2/27/02
Frank Chau



BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 100 55 659.0

Anmeldetag: 10. November 2000

Anmelder/Inhaber: Infineon Technologies AG,
München/DE

Bezeichnung: Berechnungsschaltung zur Division
eines Festpunktsignals

IPC: G 06 F 7/52

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 22. November 2001
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Wallner

Beschreibung

Berechnungsschaltung zur Division eines Festpunktsignals

5 Die Erfindung betrifft eine Berechnungsschaltung zur Division eines aus einer Folge von digitalen Datenwerten bestehenden Festpunkteingangssignals durch einen einstellbaren Teilungsfaktor 2^a zur Erzeugung eines geteilten Festpunktausgangssignals.

10

In vielen Anwendungen ist es notwendig, ein Festpunktsignal, das aus einer Folge von n Bit breiten digitalen Datenwerten besteht, durch einen festen Teilungsfaktor zu teilen.

15 Fig. 1 zeigt eine Berechnungsschaltung zur Division eines anliegenden Festpunkteingangssignals durch einen einstellbaren Teilungsfaktor zur Erzeugung eines geteilten Festpunktausgangssignals nach dem Stand der Technik. Die in Fig. 1 gezeigte herkömmliche Festpunktteilungsschaltung besitzt einen
20 Signaleingang E zum Anlegen des zu teilenden Festpunkteingangssignals. Das Festpunkteingangssignal besteht dabei aus einer Folge von n Bit breiten digitalen Datenwerten, die über n Datenleitungen an den Signaleingang E der Festpunktteilungsschaltung angelegt werden.

25

Über interne Datenleitungen der Festpunktteilungsschaltung gelangt die Folge von n Bit breiten digitalen Datenwerten zu einer Additionsschaltung ADD, die den anliegenden digitalen Datenwert des Festpunkteingangssignals mit einem in einem Register R zwischengespeicherten Datenwert addiert. Das Register R ist über a Datenleitungen zur Abgabe eines a Bit breiten zwischengespeicherten digitalen Datenwertes an die Additionsschaltung ADD angeschlossen. Die Additionsschaltung ADD addiert den anliegenden digitalen Datenwert des Festpunkteingangssignals mit dem a Bit breiten, in dem Register R zwischengespeicherten Datenwert zu einem Summendatenwert, der
35 $\max(n,a)+1$ Datenbits aufweist. Der Summendatenwert wird über

Datenleitungen an einen Signaleingang einer Aufteilungsschaltung bzw. Splitschaltung SPLIT abgegeben.

Die Aufteilungsschaltung bzw. Splitschaltung teilt den
 5 $\max(n,a)+1$ Bit breiten anliegenden Summendatenwert in einen
 ersten Datenwert auf, der aus a niederwertigen Datenbits des
 Summendatenwertes besteht, und in einen zweiten Datenwert,
 der aus den höherwertigen Datenbits des Summendatenwertes be-
 10 steht. Der erste Datenwert wird über $\max(n,a)-a+1$ Datenlei-
 tungen an einem Signalausgang A der Festpunktteilungsschal-
 tung abgegeben. Das durch die Festpunktteilungsschaltung zu-
 gefügte Rauschen kann durch ein nachfolgendes digitales Fil-
 ter herausgefiltert werden. Der zweite Datenwert wird über a
 15 Datenleitungen in dem Register R zwischengespeichert und an
 die Additionsschaltung ADD zurückgekoppelt.

Die Funktionsweise der Festpunktteilungsschaltung nach dem
 Stand der Technik, wie sie in Fig. 1 gezeigt ist, wird im
 folgenden anhand eines Beispiels erläutert. Die Festpunkt-
 20 teilungsschaltung teilt bei diesem Beispiel das anliegende
 Festpunkteingangssignal durch einen Teilungsfaktor 4, wobei
 die Anzahl der rückgeführten niederwertigen Datenbits des von
 der Splitschaltung abgegebenen zweiten Datenwertes $a = 2$ be-
 trägt. Wird an den Signaleingang E der Festpunktteilungs-
 25 schaltung eine konstante Signalfolge aus 4 Bit breiten digi-
 talen Datenwerten, die konstant den Wert 3 ($3 = 0011$) aufwei-
 sen, angelegt, ergibt sich bei der Festpunktteilungsschaltung
 nach dem Stand der Technik, wie sie in Fig. 1 dargestellt
 ist, folgende Sequenz von Datenwerten:

30

Tabelle 1

E	3333 3333 ...
R	0321 0321 ...
A	0111 0111 ...

Aus der Ausgangsdatenfolge A wird in einer nachfolgenden Berechnungsschaltung der Mittelwert des Ausgangssignals berechnet, der bei dem dargestellten Beispiel 0,75 beträgt. Das konstante Eingangssignal mit dem Wert 3 wird mit dem Teilungsfaktor 4 durch die Festpunktteilungsschaltung zu dem Wert $3/4 = 0,75$ geteilt.

Die in Fig. 1 gezeigte herkömmliche Festpunktteilungsschaltung nach dem Stand der Technik hat jedoch den Nachteil, dass bei einem alternierenden Eingangssignal die Varianz des durch die Festpunktteilungsschaltung abgegebenen Festpunktausgangssignal ansteigt. Wird an dem Signaleingang E der Festpunktteilungsschaltung nach dem Stand der Technik beispielsweise eine alternierende Signalfolge mit wechselnden digitalen Datenwerten +3, -3 angelegt, ergibt sich folgende Datensequenz. Die negativen Datenwerte werden als Zweierkomplement binär dargestellt, d.h. der positive Datenwert +3 entspricht dem Binärwert 0011, und der negative Datenwert -3 entspricht dem binär codierten Datenwert 1101.

Tabelle 2

E	+3	-3	+3	-3	+3	-3	+3	-3
R	1	1	1	1	0	0	0	0
A	+1	-1	+1	-1	+1	-1	+1	-1

Wie man erkennen kann, gibt die herkömmliche Festpunktteilungsschaltung bei Anliegen eines alternierenden Eingangssignals ein Ausgangssignal ab, das zwischen dem Digitalwert +1 und -1 hin- und herschwankt. Die Varianz des Ausgangssignals ist somit nicht null.

Bei der Verwendung einer derartigen herkömmlichen Festpunktteilungsschaltung in einer Rückkoppelregelschleife wird der von der Festpunktteilungsschaltung abgegebene Wert schwanken und somit die Stabilität der Regelung vermindern.

Es ist daher die Aufgabe der vorliegenden Erfindung, eine Berechnungsschaltung zur Division eines Festpunkteingangssignals zu schaffen, bei dem das resultierende geteilte Festpunktausgangssignal eine minimale Varianz aufweist.

5

Diese Aufgabe wird erfindungsgemäß durch eine Berechnungsschaltung mit den im Patentanspruch 1 angegebenen Merkmalen gelöst.

- 10 Die Erfindung schafft eine Berechnungsschaltung zur Division eines aus einer Folge von n Bit breiten digitalen Datenwerten bestehenden Festpunkteingangssignals durch einen einstellbaren Teilungsfaktor 2^a zur Erzeugung eines geteilten Festpunktausgangssignals mit
- 15 einem Signaleingang zum Anlegen der Datenwertfolge des Festpunkteingangssignals,
einer ersten Additionsschaltung, die den an dem Signaleingang anliegenden digitalen Datenwert mit einem in einem Register zwischengespeicherten Datenwert zu einem $\max(n, a+1)+1$ Bit
- 20 breiten, ersten digitalen Summendatenwert addiert,
einer Schiebeschaltung, die den anliegenden ersten Summendatenwert um a Datenbits nach rechts verschiebt, so dass die $\max(n, a+1)-a+1$ höherwertigen Datenbits des ersten Summendatenwertes an einem Ausgang der Schiebeschaltung abgegeben
- 25 werden,
einer logischen Schaltung, die in Abhängigkeit von dem Vorzeichen des ersten Summendatenwertes, die a niederwertigen Datenbits des ersten Summendatenwertes mit einem Verknüpfungsdatenwert logisch UND-verknüpft, oder mit dem invertierten Verknüpfungsdatenwert logisch ODER-verknüpft und an das
- 30 Register zum Zwischenspeichern des verknüpften Datenwertes abgibt,
einer zweiten Additionsschaltung, die in Abhängigkeit von dem Vorzeichen des ersten Summendatenwertes den von der Schiebeschaltung abgegebenen Datenwert mit einem Wert 1 zur Beseitigung des Gleichsignalanteils zu einem zweiten Summendatenwert
- 35 addiert, und mit

einem Signalausgang zur Abgabe der Folge der zweiten Summendatenwerte als geteiltes Festpunktausgangssignal.

5 Bevorzugte Ausführungsformen der erfindungsgemäßen Berechnungsschaltung sind in den Unteransprüchen angegeben. Im weiteren wird eine bevorzugte Ausführungsform der erfindungsgemäßen Berechnungsschaltung zur Division eines Festpunkteingangssignals durch einen einstellbaren Teilungsfaktor unter Bezugnahme auf die beigefügten Figuren zur Erläuterung erfindungswesentlicher Merkmale beschrieben.

Es zeigen:

15 Fig. 1 eine Festpunktteilungsschaltung nach dem Stand der Technik;

Fig. 2 eine bevorzugte Ausführungsform der erfindungsgemäßen Berechnungsschaltung.

20 Wie man aus der Fig. 2 erkennen kann, besitzt die erfindungsgemäße Berechnungsschaltung 1 einen Signaleingang 2 zum Anlegen eines Festpunkteingangssignals. Das Festpunkteingangssignal besteht aus einer Folge von n Bit breiten digitalen Datenwerten, die über n Datenleitungen 3 dem digitalen Dateneingang 2 der erfindungsgemäßen Berechnungsschaltung 1 zugeführt werden. Der Signaleingang 2 ist über Datenleitungen 4 mit einem ersten Dateneingang eines Addierers 6 verbunden. Der Addierer 6 besitzt einen zweiten Dateneingang und addiert die an den beiden Dateneingängen anliegenden digitalen Werte zu einem ersten digitalen Summendatenwert, der $\max(n, a+1)+1$ Bit breit ist. Der durch die Additionsschaltung 6 gebildete erste digitale Summendatenwert wird von einem Ausgang 8 der Additionsschaltung 6 über Datenleitungen 9 an einen digitalen Dateneingang 10 einer Schiebeschaltung 11 abgegeben. Die

35 Schiebeschaltung 11 besitzt einen Signalausgang 12. Die Schiebeschaltung 11 schiebt den am Dateneingang 10 anliegenden ersten Summendatenwert um a Datenbits nach rechts, so

dass die niederwertigen Datenbits in ein zweites $\max(n, a+1) - a+1$ höherwertiges Datenbit des Summendatenwertes an dem Ausgang 12 der Schiebeschaltung 11 abgegeben werden.

5 Die a niederwertigen Datenbits der ersten Summendatenwertes werden über a Datenleitungen 14 an einen Signaleingang 15 einer logischen Schaltung 16 angelegt. In der logischen Schaltung 16 werden die a niederwertigen Datenbits des von dem Addierer 6 erzeugten Summendatenwertes, über Leitungen 17, 18
10 an eine erste Logikschaltung 19 und an eine zweite Logikschaltung 20 angelegt. Die erste Logikschaltung 19 verknüpft den anliegenden rückgekoppelten Datenwert D1 mit einem abgespeicherten Verknüpfungsdatenwert logisch UND und gibt den verknüpften Datenwert über Datenleitungen 21 an einen ersten
15 Eingang 22 eines Multiplexers 23 ab. Die zweite Logikschaltung 20 verknüpft den rückgekoppelten, a Bit breiten Datenwert D1 logisch ODER mit dem invertierten Verknüpfungsdatenwert und gibt den verknüpften Datenwert über Leitungen 24 an einen zweiten Eingang 25 des Multiplexers 23 ab. Der Multi-
20 plexer 23 besitzt einen Signalausgang 26, der über eine Leitung 27 mit einem Ausgang 28 der logischen Schaltung 16 verbunden ist. Der Multiplexer 23 besitzt ferner einen Steuereingang 29, der über eine Leitung 30 mit einem Steuereingang 31 der logischen Schaltung 16 verbunden ist.

25 Der Ausgang 28 der logischen Schaltung 16 ist über Datenleitungen 32 an ein Register 33 angeschlossen, das den von dem Multiplexer 23 abgegebenen digitalen Datenwert zwischenspeichert. Das Register 33 ist ausgangsseitig durch a+1 Datenlei-
30 tungen 34 an den zweiten Eingang 7 der Additionsschaltung 6 angeschlossen.

Der Ausgang 12 der Schiebeschaltung 11 gibt über
max(n, a+1) - a+1 Datenleitungen 35 die höherwertigen Datenbits
35 des von dem Addierer 6 erzeugten Summendatenwertes an einen Signaleingang 36 eines weiteren Addierers 37 ab. Der Addierer 37 besitzt einen zweiten Signaleingang 38, der über Datenlei-

tungen 39 einen digitalen Datenwert 1 von einer Speichereinrichtung 40 erhält. Der Addierer 37 besitzt einen Signalausgang 41, der über Datenleitungen 42 mit einem Signaleingang 43 des Multiplexers 44 verbunden ist. Der Multiplexer 44 besitzt einen weiteren Signaleingang 45, der über (n+1) Leitungen 46 direkt mit dem Signalausgang 12 der Aufteilungsschaltung 11 verbunden ist. Der Multiplexer 44 besitzt einen Signalausgang 47, der über Datenleitungen 48 mit einem Signalausgang 49 der Berechnungsschaltung 1 verbunden ist. Der Multiplexer 44 weist ferner einen Steuereingang 50 auf, der über eine Steuerleitung 51 mit einem Ausgang 52 einer Vorzeichenerkennungsschaltung 53 verbunden ist. Die Vorzeichenerkennungsschaltung 53 besitzt einen weiteren Ausgang 54, der über eine Steuerleitung 55 mit dem Steuereingang 31 der logischen Schaltung 16 verbunden ist. Die Vorzeichenerkennungsschaltung 53 erhält über Datenleitungen 56 den von der ersten Additionsschaltung 6 gebildeten Summendatenwert und erkennt dessen Vorzeichen. Die Vorzeichenerkennungsschaltung 53 steuert über die Steuerleitungen 51, 55 die beiden Multiplexer 44, 23 an.

Erkennt die Vorzeichenerkennungsschaltung 53, dass der digitale Summendatenwert ein positives Vorzeichen oder Null beträgt aufweist, wird der Signaleingang 22 des Multiplexers 23 an den Signalausgang 26 des Multiplexers durchgeschaltet, so dass der von der ersten Logikschaltung 19 gebildete Datenwert in das Register 33 eingeschrieben und zwischengespeichert wird.

Erkennt die Vorzeichenerkennungsschaltung 53 umgekehrt, dass der durch die Additionsschaltung 6 gebildete digitale Summendatenwert ein negatives Vorzeichen aufweist, so steuert sie den Multiplexer 23 über die Steuerleitung 55 derart an, dass der Signaleingang 25 des Multiplexers an den Signalausgang 26 des Multiplexers 23 durchgeschaltet wird. In das Register 33 wird in diesem Falle der durch die zweite Logikschaltung 20 gebildete Datenwert eingeschrieben und zwischengespeichert.

Erkennt die Vorzeichenerkennungsschaltung 53, dass der durch die Additionsschaltung 6 gebildete erste Summendatenwert ein positives Vorzeichen oder Null beträgt aufweist, wird ferner der Multiplexer 44 über die Steuerleitung 51 derart angesteuert, dass der Signaleingang 45 des Multiplexers an den Signalausgang 47 des Multiplexers durchgeschaltet wird. Die von der Schiebeschaltung 11 über den Ausgang 12 abgegebenen höherwertigen Datenbits werden auf diese Weise direkt an den Signalausgang 49 der Berechnungsschaltung 1 durchgeschaltet.

Erkennt die Vorzeichenerkennungsschaltung 53 umgekehrt, dass das Vorzeichen des durch die Additionsschaltung 6 gebildeten ersten digitalen Summendatenwertes negativ ist, wird der andere Signaleingang 43 des Multiplexers 44 an den Signalausgang 47 durchgeschaltet, so dass an dem Signalausgang 49 der Berechnungsschaltung 1 der von der Additionsschaltung 37 gebildete Summendatenwert anliegt. Dieser Summendatenwert ist die Summe aus dem zweiten Datenwert und einem hinzuaddierten Datenwert 1.

Die erfindungsgemäße Berechnungsschaltung 1 führt eine Teilung des an den Signaleingang 2 anliegenden Festpunktsignals mit einem vorgegebenen Teilungsfaktor 2^a durch. Der Teilungsfaktor ist ein Potenzwert mit der Basis 2 und einem Potenzierungsfaktor a . Der Potenzierungsfaktor a entspricht der Anzahl der Datenbits, die von der Schiebeschaltung 11 nach rechts verschoben werden. Der Verknüpfungsdatenwert, mit dem die Logikschaltungen 19, 20 den rückgekoppelten ersten Datenwert verknüpfen, ist gleich dem um einen Datenwert 1 verminderten Teilungsfaktor.

Der von der Logikschaltung 19 abgegebene verknüpfte Datenwert d_v ergibt sich somit zu:

$$d_{v1} = D_1 \text{ AND}(2^a - 1) \quad (1)$$

Der von der Logikschaltung 20 abgegebene verknüpfte Datenwert ist:

$$d_{v2} = D_1 \text{ OR} [\text{NOT}(2^a - 1)] \quad (2)$$

5

wobei D_1 der aus den niederwertigen Datenbits des ersten Summendatenwertes bestehende digitale Datenwert ist.

Die in Fig. 2 gezeigte erfindungsgemäße Berechnungsschaltung 10 liefert bei einer Festpunkteingangssignalfolge, die auch negative digitale Datenwerte enthält, ein geteiltes Festpunktausgangssignal, das eine niedrige Varianz aufweist, wie folgendes Beispiel zeigt:

15 Wird an den Signaleingang 2 der erfindungsgemäßen Berechnungsschaltung 1 eine Festpunkteingangssignalfolge von digitalen Datenwerten angelegt, die alternierend +3, -3 tragen, ergeben sich in dem Register 33 und an dem Ausgang 49 der erfindungsgemäßen Berechnungsschaltung 1 die nachstehend ange-
20 gebenen Datenfolgen:

Tabelle 3

E	+3	-3	+3	-3	+3	-3	+3	-3
R	-3	0	-3	0	-3	0	-3	0
A	0	0	0	0	0	0	0	0

25 Wie man durch Vergleich der beiden Tabellen 2, 3 erkennen kann, liefert sowohl der Festpunktteilungsschaltung nach dem Stand der Technik, wie sie in Fig. 1 dargestellt ist, als auch die erfindungsgemäße Berechnungsschaltung 1, wie sie in Fig. 2 dargestellt ist, ein Ausgangssignal mit dem Mittelwert
30 0. Bei der herkömmlichen Festpunktteilungsschaltung schwankt jedoch das Ausgangssignal zwischen dem Wert +1 und -1, während sich bei der erfindungsgemäßen Berechnungsschaltung 1 der Ausgang auf einen festen Wert einpendelt. Wird die erfindungsgemäße Berechnungsschaltung 1, wie sie in Fig. 2 darge-

stellt ist, in einer Regelschleife zum Teilen eines rückgekoppelten Festpunktsignals eingesetzt, ist die Stabilität der Regelschleife aufgrund der niedrigen Varianz des von der Berechnungsschaltung 1 abgegebenen Ausgangssignals höher als
5 beim Einsatz einer herkömmlichen Festpunktteilungsschaltung, wie sie in Fig. 1 dargestellt ist.

Die erfindungsgemäße Berechnungsschaltung 1 kann beispielsweise in QAM-Demodulatoren eingesetzt werden. Dabei werden
10 gleichwertfreie und rauscharme Schätzwerte für Triggerfrequenzen, Taktraten und Phasenlagen berechnet. Die erfindungsgemäße Berechnungsschaltung 1 verringert die Varianz des Ausgangssignals und somit das Signalrauschen.

15 Verschiedene Einsatzgebiete von Noise Shapern bzw. der erfindungsgemäßen Berechnungsschaltung 1 sind in "A Minimal Multi-bit Digital Noise Shaping Architecture" in IEEE, 1996, S. 5 bis S. 7 dargestellt.

Patentansprüche

1. Berechnungsschaltung zur Division eines aus einer Folge von n Bit breiten digitalen Datenwerten bestehenden Festpunkteingangssignals durch einen einstellbaren Teilungsfaktor 2^a zur Erzeugung eines geteilten Festpunktausgangssignals mit:

(a) einem Signaleingang (2) zum Anlegen der Datenwertfolge des Festpunkteingangssignal;

(b) einer ersten Additionsschaltung (6), die den an dem Signaleingang (2) anliegenden digitalen Datenwert mit einem in einem Register (33) zwischengespeicherten Datenwert zu einem $\max(n, a+1)+1$ Bit breiten digitalen ersten Summendatenwert addiert;

(c) einer Schiebeschaltung (11), die den anliegenden ersten Summendatenwert um a Datenbits nach rechts verschiebt, so dass die $\max(n, a+1)-a+1$ höherwertigen Datenbits des ersten Summendatenwertes an einem Ausgang (12) der Schiebeschaltung (11) abgegeben werden;

(d) einer logischen Schaltung (16), die in Abhängigkeit von dem Vorzeichen des ersten Summendatenwertes die a niederwertigen Datenbits des ersten Summendatenwertes mit einem Verknüpfungsdatenwert logisch UND-verknüpft oder mit dem invertierten Verknüpfungsdatenwert logisch ODER-verknüpft und an das Register (33) zum Zwischenspeichern des verknüpften Datenwertes (d_{v1} , d_{v2}) abgibt;

(e) einer zweiten Additionsschaltung (37), die in Abhängigkeit von dem Vorzeichen des ersten Summendatenwertes den von der Schiebeschaltung (11) abgegebenen Datenwert mit einem Wert eins zur Beseitigung des Gleichsignalanteils zu einem zweiten Summendatenwert addiert; und mit

(f) einem Signalausgang zur Abgabe der Folge der zweiten Summendatenwerte als geteiltes Festpunktausgangssignal.

2. Berechnungsschaltung nach Anspruch 1, dadurch gekennzeichnet,

dass eine Vorzeichenerkennungsschaltung (53) zur Erkennung des Vorzeichens des ersten Summendatenwertes vorgesehen ist.

3. Berechnungsschaltung nach Anspruch 1 oder 2,

5 d a d u r c h g e k e n n z e i c h n e t,
dass der Verknüpfungsdatenwert gleich dem um den Wert eins verminderten Teilungsfaktor ist.

10 4. Berechnungsschaltung nach einem der vorangehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t,
dass die logische Schaltung (16) einen Inverter zur Invertierung des Verknüpfungsdatenwertes enthält..

15 5. Berechnungsschaltung nach einem der vorangehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t,
dass die logische Schaltung (16) ein UND-Gatter zur logischen UND-Verknüpfung des Verknüpfungsdatenwertes mit den a niederwertigen Datenbits des ersten Summendatenwertes aufweist.

6. Berechnungsschaltung nach einem der vorangehenden Ansprüche,

25 d a d u r c h g e k e n n z e i c h n e t,
dass die logische Schaltung (16) ein ODER-Gatter zur logischen ODER-Verknüpfung des invertierten Verknüpfungsdatenwertes mit den a niederwertigen Datenbits des ersten Summendatenwertes aufweist.

30 7. Berechnungsschaltung nach einem der vorangehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t,
dass die logische Schaltung (16) einen Multiplexer aufweist mit:

35 einem ersten Eingang(22), der mit dem Ausgang des UND-Gatters verbunden ist,

einem zweiten Eingang (24), der mit dem Ausgang des ODER-Gatters verbunden ist,
einem Ausgang (26), der an das Register (33) angeschlossen ist, und mit

5 einem Steuereingang (29), der von der Vorzeichenerkennungsschaltung (53) angesteuert wird.

8. Berechnungsschaltung nach einem der vorangehenden Ansprüche,

10 d a d u r c h g e k e n n z e i c h n e t,
dass die zweite Additionsschaltung (37)
einen Addierer (37) zur Addition des von der Schiebeschaltung (11) abgegebenen Datenwertes mit dem Wert eins zu einem zweiten Summendatenwert aufweist, und
15 einen Multiplexer (44) enthält, der in Abhängigkeit von einem von der Vorzeichenerkennungsschaltung (53) empfangenen Steuersignal den Datenwert oder den von dem zweiten Addierer (37) erzeugten zweiten Summendatenwert an den Signalausgang (49) der Berechnungsschaltung (1) durchschaltet.

20

9. Berechnungsschaltung nach einem der vorangehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t,
dass bei Erkennen eines positiven Vorzeichens des ersten Summendatenwertes durch die Vorzeichenerkennungsschaltung (53)
25 der Multiplexer (44) der zweiten Additionsschaltung den von der Schiebeschaltung (11) abgegebenen Datenwert an den Signalausgang (49) der Berechnungsschaltung (1) durchschaltet, und
30 dass bei Erkennen eines negativen Vorzeichens des ersten Summendatenwertes durch die Vorzeichenerkennungsschaltung (53) der Multiplexer (44) der zweiten Additionsschaltung den von dem Addierer (37) abgegebenen zweiten Summendatenwert an den Signalausgang (49) der Berechnungsschaltung (1) durchschaltet.
35

10. Berechnungsschaltung nach einem der vorangehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t,

5 dass bei Erkennen eines positiven Vorzeichens des ersten Summandatenwertes durch die Vorzeichenerkennungsschaltung (53) der in der logischen Schaltung (16) enthaltene Multiplexer (23) den Ausgang des UND-Gatters an das Register (33) durchschaltet, und

10 dass bei Erkennen eines negativen Vorzeichens des ersten Summandatenwertes durch die Vorzeichenerkennungsschaltung (53) der in der logischen Schaltung (16) enthaltene Multiplexer (23) den Ausgang des ODER-Gatters an das Register (33) durchschaltet.

15 11. Berechnungsschaltung nach einem der vorangehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t,

dass der Teilungsfaktor ein Potenzwert mit der Basis zwei und einem Potenzierungsfaktor a ist.

20

12. Berechnungsschaltung nach einem der vorangehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t,

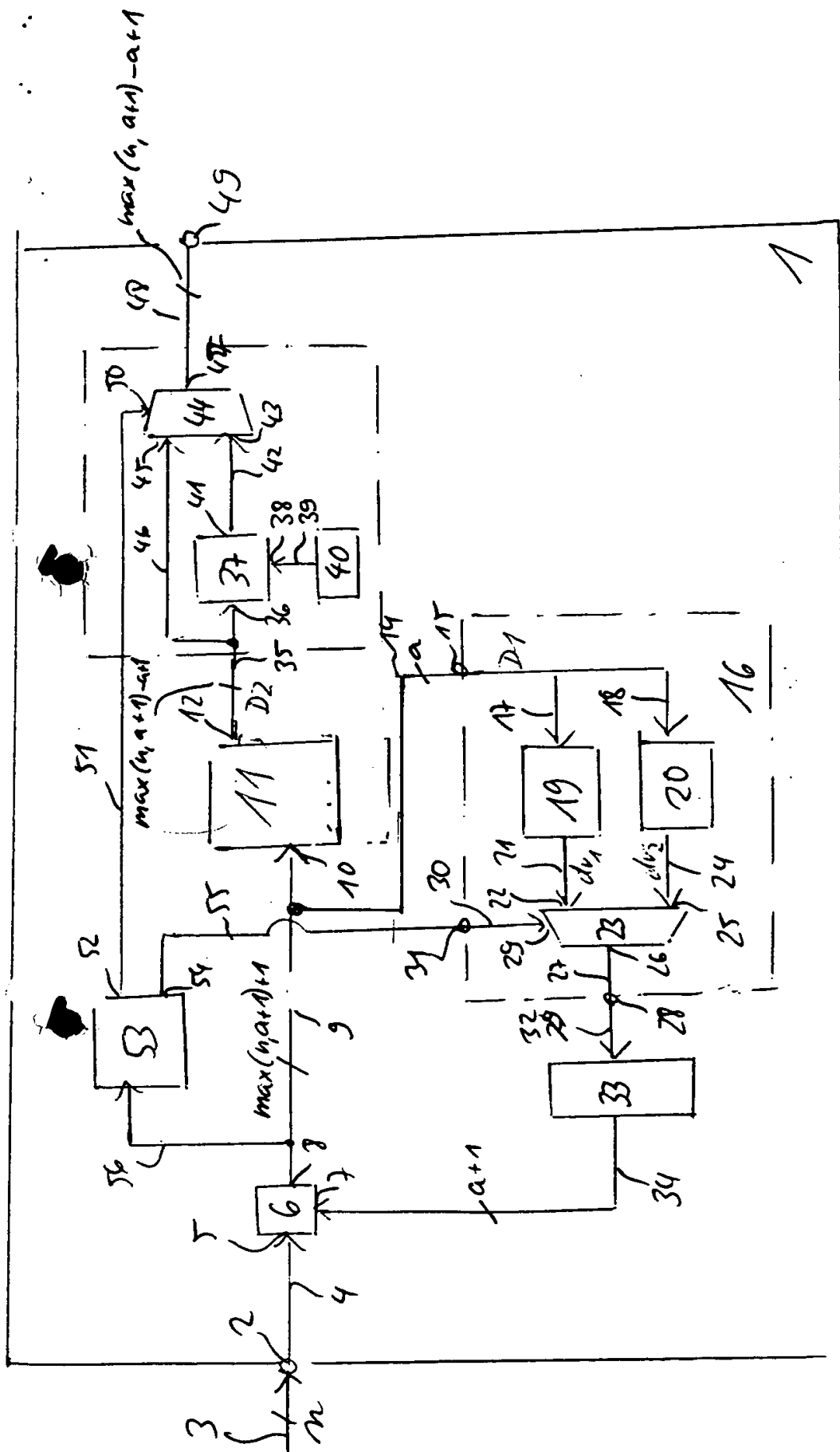
25 dass der Potenzierungsfaktor a der Anzahl der Datenbits entspricht, von der Schiebeschaltung (11) nach rechts verschoben werden.

Zusammenfassung

Berechnungsschaltung zur Division eines Festpunktsignals

- 5 Berechnungsschaltung zur Division eines aus einer Folge von n Bit breiten digitalen Datenwerten bestehenden Festpunkteingangssignals durch einen einstellbaren Teilungsfaktor 2^a zur Erzeugung eines geteilten Festpunktausgangssignals mit einem Signaleingang (2) zum Anlegen der Datenwertfolge des Fest-
- 10 punkteingangssignal, einer ersten Additionsschaltung (6), die den an dem Signaleingang (2) anliegenden digitalen Datenwert mit einem in einem Register (33) zwischengespeicherten Datenwert zu einem $\max(n, a+1)+1$ Bit breiten digitalen ersten Summendatenwert addiert, einer Schiebeschaltung (11), die den
- 15 anliegenden ersten Summendatenwert um a Datenbits nach rechts verschiebt, so dass die $\max(n, a+1)-a+1$ höherwertigen Datenbits des ersten Summendatenwertes an einem Ausgang der Schiebeschaltung (11) abgegeben werden, einer logischen Schaltung (16), die in Abhängigkeit von dem Vorzeichen des ersten Sum-
- 20 mendatenwertes die a niederwertigen Datenbits des ersten Summendatenwertes mit einem Verknüpfungsdatenwert logisch UND-verknüpft oder mit dem invertierten Verknüpfungsdatenwert logisch ODER-verknüpft und an das Register (33) zum Zwischenspeichern des verknüpften Datenwertes (d_{v1} , d_{v2}) abgibt, einer
- 25 zweiten Additionsschaltung (37), die in Abhängigkeit von dem Vorzeichen des ersten Summendatenwertes den von der Schiebeschaltung (11) abgegebenen Datenwert mit einem Wert 1 zur Beseitigung des Gleichsignalanteils zu einem zweiten Summendatenwert addiert, und mit einem Signalausgang zur Abgabe der
- 30 Folge der zweiten Summendatenwerte als geteiltes Festpunktausgangssignal.

Fig. 2

Fig. 2

Bezugszeichenliste

	1	Berechnungsschaltung
	2	Eingang
5	3	Leitungen
	4	Leitungen
	5	Eingang
	6	Addierer
	7	Eingang
10	8	Ausgang
	9	Leitungen
	10	Eingang
	11	Aufteilungsschaltung
	12	Ausgang
15	14	Leitungen
	15	Eingang
	16	logische Schaltung
	17	Leitungen
	18	Leitungen
20	19	Logikschaltung
	20	Logikschaltung
	21	Leitungen
	22	Eingang
	23	Multiplexer
25	24	Leitungen
	25	Eingang
	26	Ausgang
	27	Leitungen
	28	Ausgang
30	29	Steuereingang
	30	Leitungen
	31	Steuereingang
	32	Leitungen
	33	Register
35	34	Leitungen
	35	Leitungen
	36	Eingang

	37	Addierer
	38	Leitungen
	39	Leitungen
	40	Speicher
5	41	Ausgang
	42	Leitungen
	43	Eingang
	44	Multiplexer
	45	Eingang
10	46	Leitungen
	47	Ausgang
	48	Leitungen
	49	Ausgang
	50	Steuereingang
15	51	Steuerleitung
	52	Steuerausgang
	53	Vorzeichenerkennungsschaltung
	54	Steuerausgang
	55	Steuerleitung
20	56	Leitungen

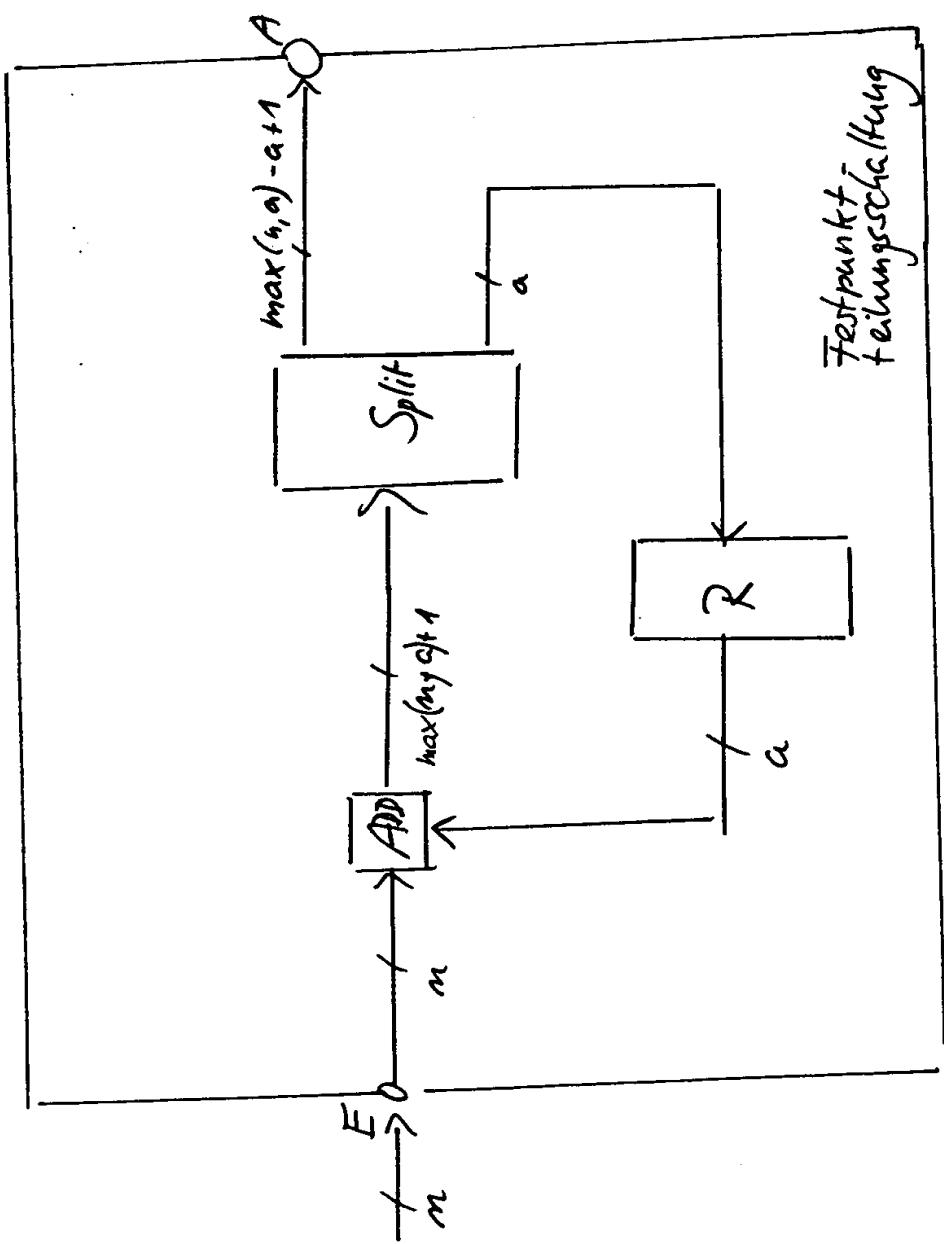


Fig. 1

$$\frac{1}{2}$$

2/2

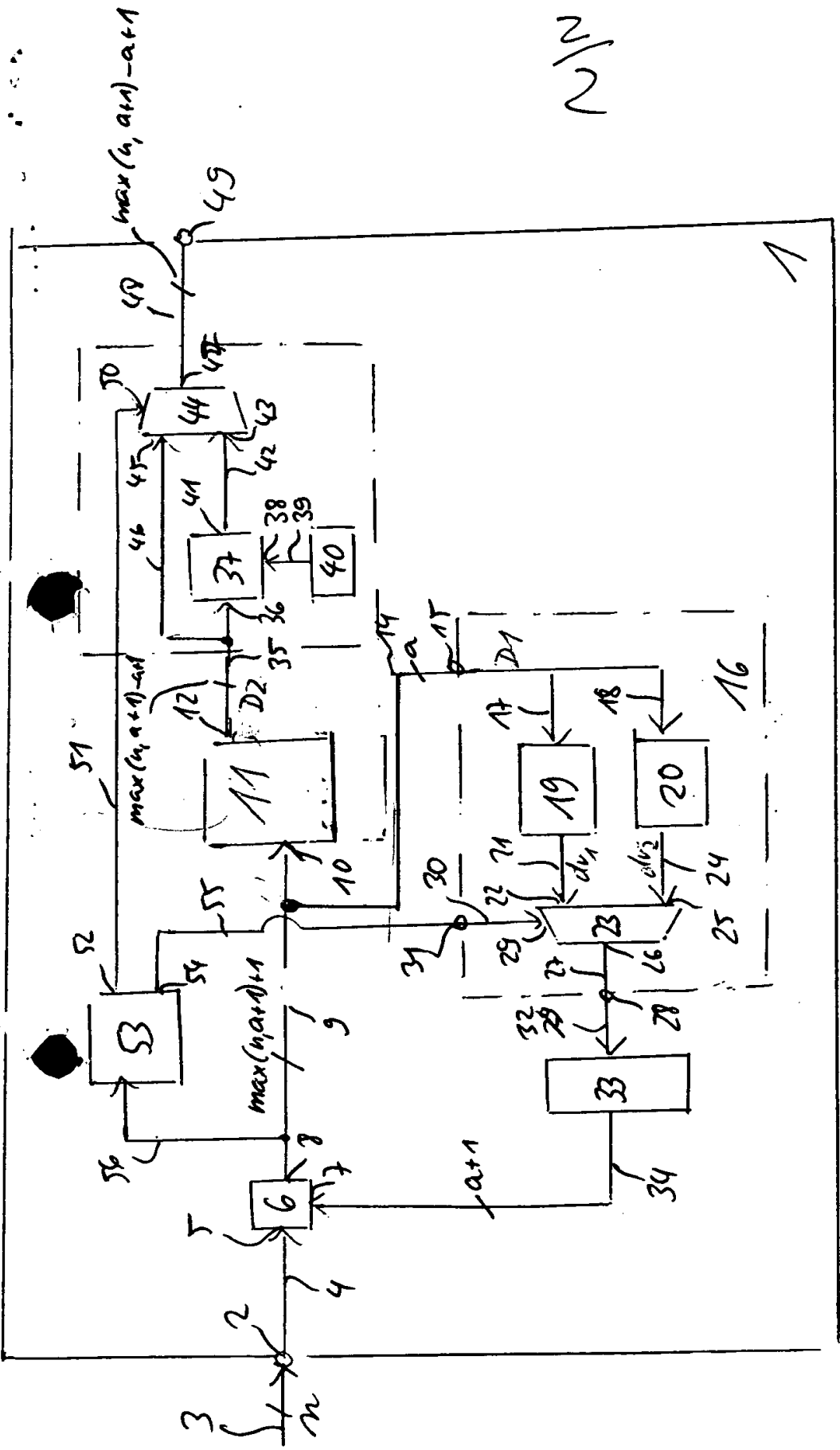


Fig. 2